

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-267881

(P2000-267881A)

(43)公開日 平成12年9月29日 (2000.9.29)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 6 F 11/22	3 6 0	G 0 6 F 11/22	3 6 0 B 2 G 0 3 2
G 0 1 R 31/28		H 0 1 L 29/00	5 B 0 4 6
H 0 1 L 29/00		G 0 1 R 31/28	F 5 B 0 4 8
// G 0 6 F 17/50		G 0 6 F 15/60	6 6 2 G

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21)出願番号 特願平11-67618

(22)出願日 平成11年3月15日 (1999.3.15)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 福島 清

東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

(74)代理人 100103171

弁理士 雨貝 正彦

F ターム(参考) 2G032 AA01 AB01 AC08 AE10 AE12

AG02 AG07 AL00

5B046 AA08 JA03 JA04

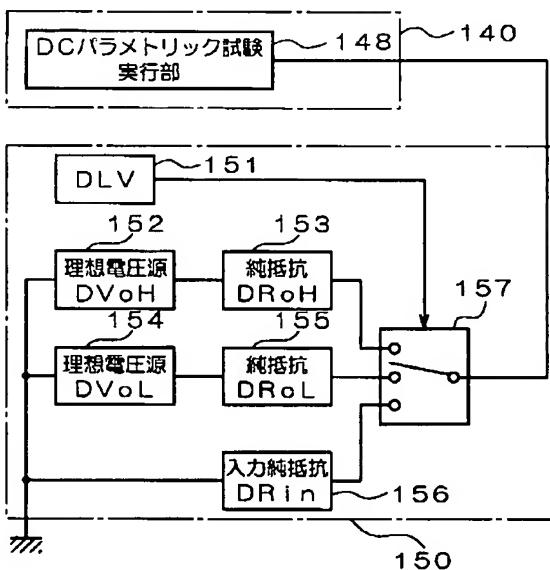
5B048 AA23 DD04 DD17 FP03

(54)【発明の名称】 半導体デバイスシミュレート装置及びそれを用いた半導体試験用プログラムデバッグ装置

(57)【要約】 (修正有)

【課題】 実際の被検査用半導体デバイスと同じように内部抵抗に依存して変化する電圧値、電流値を的確にシミュレートして出力できるようにする半導体シミュレート装置

【解決手段】 論理値保持部151は仮想デバイス150の信号ピンの状態を示すパラメータを格納する。電圧源152及び純抵抗153はハイレベル時、電圧源154及び純抵抗155はローレベル時の内部電圧値、抵抗値を格納する。入力純抵抗156はハイインピーダンス時の抵抗値を格納する。切替部157はDCパラメトリック試験実行部148から信号ピンに印加される試験信号を電圧源152及び純抵抗153、電圧源154及び純抵抗155、入力純抵抗156のいずれかに印加する。仮想デバイス150は入力されたパラメータや試験信号に基づいて電圧値や電流値をシミュレートして出力する。



【特許請求の範囲】

【請求項1】 被検査用半導体デバイスの内部抵抗に依存して変化する電流値又は電圧値を測定するための各種パラメータを設定するパラメータ設定手段と、前記被検査半導体デバイスに対する試験信号を入力する入力手段と、前記パラメータ及び前記試験信号に応じて前記被検査用半導体デバイスの内部抵抗に依存した電流値又は電圧値をシミュレートして出力するシミュレート手段とを含んで構成されることを特徴とする半導体デバイスシミュレート装置。

【請求項2】 被検査用半導体デバイスの信号ピンがハイレベルの場合の電圧値及び抵抗値を示す第1のパラメータ、前記信号ピンがローレベルの場合の電圧値及び抵抗値を示す第2のパラメータ、前記信号ピンがハイインピーダンスの場合の抵抗値を示す第3のパラメータ、前記信号ピンがハイレベル、ローレベル、ハイインピーダンスのいずれの状態にあるかを示す第4のパラメータ、電流印加電圧測定時又は電圧印加電流測定時に前記信号ピンに印加される電流値又は電圧値を示す第5のパラメータを設定するパラメータ設定手段と、

前記被検査用半導体デバイスに対する試験信号を入力する入力手段と、

前記第1から第5までのパラメータ及び前記試験信号に基づいて前記信号ピンにおける電流印加電圧測定時の電圧値又は電圧印加電流測定時の電流値をシミュレートして出力するシミュレート手段とを含んで構成されることを特徴とする半導体デバイスシミュレート装置。

【請求項3】 被検査用半導体デバイスの電源ピンの抵抗値を示す第1のパラメータ、前記電源ピンに印加される電流値又は電圧値を示す第2のパラメータを設定するパラメータ設定手段、

前記被検査用半導体デバイスに対する試験信号を入力する入力手段と、

前記第1及び第2のパラメータ及び前記試験信号に基づいて前記被検査用半導体デバイスの電源ピンにおける電流印加電圧測定時の電圧値又は電圧印加電流測定時の電流値をシミュレートして出力するシミュレート手段とを含んで構成されることを特徴とする半導体デバイスシミュレート装置。

【請求項4】 被検査用半導体デバイスの信号ピンがハイレベルの場合の電圧値及び抵抗値を示す第1のパラメータ、前記信号ピンがローレベルの場合の電圧値及び抵抗値を示す第2のパラメータ、前記信号ピンがハイインピーダンスの場合の抵抗値を示す第3のパラメータ、前記信号ピンがハイレベル、ローレベル、ハイインピーダンスのいずれの状態にあるかを示す第4のパラメータを設定するパラメータ設定手段と、前記信号ピンに接続される負荷条件を示す試験信号を入力する入力手段と、

前記第1から第4までのパラメータ及び前記試験信号に基づいて前記信号ピンにおける電圧値をシミュレートして出力するシミュレート手段とを含んで構成されることを特徴とする半導体デバイスシミュレート装置。

【請求項5】 被検査用半導体デバイスの内部抵抗に依存して変化する電流値又は電圧値を測定するための各種パラメータを設定するとともに、半導体試験用プログラムに基づいて被検査用半導体デバイスに印加される試験信号を疑似的に発生して半導体試験装置の動作をエミュレートするテスタエミュレート手段と、

前記パラメータ及び試験信号が入力され、これらのパラメータ及び試験信号に応じて前記被検査用半導体デバイスの内部抵抗に依存した電流値又は電圧値をシミュレートして出力するデバイスシミュレート手段と、

前記デバイスシミュレート手段からの出力に基づいて前記半導体試験用プログラムのデバッグを行うデバッグ手段とを含んで構成されることを特徴とする半導体試験用プログラムデバッグ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体試験装置をエミュレートして試験用プログラムの検証を行うプログラムデバッグ装置に用いられる半導体デバイスシミュレート装置及びそれを用いた半導体試験用プログラムデバッグ装置に関する。

【0002】

【従来の技術】 従来から、出荷前のロジックICや半導体メモリ等の各種の半導体素子に対して直流試験や機能試験等を行うものとして、半導体試験装置が知られている。半導体試験装置が行う試験は大別して、機能試験と直流試験である。機能試験は、被検査用半導体デバイスに所定の試験パターン信号を与え、この試験パターン信号に対して予定通りの動作を被検査用半導体デバイスが行ったか否かを検査するものである。直流試験は、被検査用半導体デバイスの各端子の直流特性が予定した特性を満たしているか否かを検査するものである。例えば、既知の電圧を印加した場合に予定通りの電流が端子から取り出せるか否かを試験する電圧印加電流測定試験、または既知の電流を流したり取り出したりした場合に予定通りの電圧が端子に発生しているか否かを試験する電流印加電圧測定試験などがある。

また、機能試験を行う場合でも、ハイレベル時の電圧を正規の電圧値、例えば5ボルトよりも低い値の4ボルトに設定したり、またはローレベル時の電圧を正規の電圧値、例えば0ボルトよりも高い値の0.5ボルトに設定したり、被検査用半導体デバイスに印加される電圧条件や電流条件などを種々変更して行う場合が多い。

【0003】 機能試験や直流試験を行う場合にどのような項目の試験をどのような条件で行うかの各種の条件は予め半導体試験用プログラムに組み込まれているので、

この半導体試験用プログラムを動作させることによって被検査用半導体デバイスの各種試験を行うことができる。しかしながら、半導体試験用プログラムは、試験項目の設定、試験条件の設定、試験の実行、試験結果の判定などと言った多岐に渡る動作を制御しなければならず、膨大なステップのプログラムで構築されている。この半導体試験用プログラムは被検査用半導体デバイスの種類が変更になったり、そのロジックが変更になったりした場合、それに併せて種々変更されなければならぬ。半導体試験用プログラムが新規に作成されたり、変更された場合にそのプログラム自体が正常に動作するものなのか否か、そのプログラムの評価を行わなければならない。その一方法として、実際の半導体試験装置を用いて予め良否の分かっている被検査用半導体デバイスに対して、半導体試験用プログラムを動作させて、そのプログラムの評価を行っていた。しかし、半導体試験装置自体が高価であって導入台数も少ないとから、実際の半導体試験装置を用いて半導体試験用プログラムが正常に動作するか否かの評価を行うことは、半導体試験のラインを停止することになり、好ましくない。そこで、従来は、実際の半導体試験装置を用いて半導体試験用プログラムの評価を行うのではなく、ワーカステーション等の汎用コンピュータを用いて半導体試験装置をエミュレートして、その半導体試験用プログラムが正常に動作しているか否かの検証を行っていた。

【0004】このように半導体試験装置をエミュレートするものとして、例えば特開平9-185519号公報に記載されたようなものがある。これは、半導体試験用プログラムが正常に動作するか否かを試験するためのデバッグ装置に関するものである。これは、汎用コンピュータのオペレーシングシステムの下でデバッグ対象となる半導体試験用プログラムを動作させることによって、疑似的な半導体試験装置を構成している。この疑似的な半導体試験装置にインターフェース部を介して仮想被試験素子部、試験条件設定部、試験項目設定部、試験結果格納部などを接続し、この仮想被試験素子部に設定された仮想データを、試験条件設定部に設定された試験条件にしたがって読み込むことによって擬似的な機能試験や直流試験を行っている。

【0005】

【発明が解決しようとする課題】上述のデバッグ装置は、実際の被検査用半導体デバイスを用いるのではなく、仮想被試験素子部に予め設定された仮想データを、試験条件設定部に設定された試験条件にしたがってインターフェース部を介して読み込み、その仮想データが試験条件の範囲内の場合にはパスと判定し、範囲外の場合はフェールと判定するように構成されたものである。従って、従来の仮想被試験素子部は、実際の半導体試験装置における直流試験のように、実際の被検査用半導体デバイスの測定対象となるpin(評価対象pin)に対して

電圧印加電流測定試験や電流印加電圧測定試験を行った場合に生じる被検査用半導体デバイスの内部抵抗に依存した値の変化といった実際の被検査用半導体デバイスの動作を反映したものではなかった。すなわち、被検査用半導体デバイスの内部抵抗とは無関係に、仮想被試験素子部に予め設定された仮想データを読み込むだけのものであり、実際の被検査用半導体デバイスの動作を的確にシミュレートしたものではなかった。

【0006】また、このような仮想試験素子部を用いて

10 半導体試験用プログラムをデバッgingしようとした場合、その一部については十分にデバッgingすることができないという問題があった。それは、信号の論理値を判定する場合には、被検査用半導体デバイスの内部抵抗による電圧の変化を考慮してハイレベルのしきい値とローレベルのしきい値を適切な値に決定しなければならないのに、従来のデバッging装置では、被検査用半導体デバイスの内部抵抗による電圧の変化を考慮していないため、半導体試験用プログラムに設定されているしきい値が適切な値であるか否かの判定を行うことができなかった。

20 【0007】第1の発明は、このような点に鑑みて創作されたものであり、その目的は、実際の被検査用半導体デバイスと同じように内部抵抗に依存して変化する電圧値、電流値を的確にシミュレートして出力することができる半導体デバイスシミュレート装置を提供することにある。

【0008】第2の発明は、このような点に鑑みて創作されたものであり、その目的は、実際の被検査用半導体デバイスに対して半導体試験用プログラムを動作させた場合と同様に仮想的な半導体デバイスを用いた場合でも半導体試験用プログラムの内容を的確に検証することができる半導体試験用プログラムデバッging装置を提供することにある。

【0009】

【課題を解決するための手段】上述の課題を解決するために、請求項1に記載された半導体デバイスシミュレート装置は、被検査用半導体デバイスの内部抵抗に依存して変化する電流値又は電圧値を測定するための各種パラメータを設定するパラメータ設定手段と、記被検査半導体デバイスに対する試験信号を入力する入力手段と、前記パラメータ及び前記試験信号に応じて前記被検査用半導体デバイスの内部抵抗に依存した電流値又は電圧値をシミュレートして出力するシミュレート手段とを含んで構成されるものである。

【0010】通常、被検査用半導体デバイスの信号pinに対して電流印加電圧測定又は電圧印加電流測定を行う場合は、その信号pinがハイレベル、ローレベル、ハイインピーダンスの場合に、その信号pinに所定の電流や電圧が印加された場合の電圧値や電流値を測定すればよい。パラメータ設定手段は、被検査用半導体デバイスがハイレベル、ローレベル、ハイインピーダンスのいずれ

の状態にあるのかを示すパラメータや、その状態における個々の内部電圧値や内部抵抗値を示すパラメータを設定する。入力手段は、信号ピンに印加される印加電流値や印加電圧値を試験信号として入力する。シミュレート手段は、入力されたパラメータや試験信号、すなわち、ハイレベル、ローレベル、ハイインピーダンスにおける内部電圧値や内部抵抗値、印加電圧値及び印加電流値に基づいて被検査用半導体デバイスから測定されるであろう電圧値や電流値をシミュレートして出力する。この半導体デバイスシミュレート装置によれば、パラメータや試験信号が変わるとそれに応じて内部抵抗の値が変化し、測定電圧値や測定電流値も内部抵抗の値の変化に依存して変化するようになるので、実際の被検査用半導体デバイスを測定した場合と同様の測定結果を的確にシミュレートして出力することができる。

【0011】上述の課題を解決するために、請求項2に記載された半導体デバイスシミュレート装置は、被検査用半導体デバイスの信号ピンがハイレベルの場合の電圧値及び抵抗値を示す第1のパラメータ、前記信号ピンがローレベルの場合の電圧値及び抵抗値を示す第2のパラメータ、前記信号ピンがハイインピーダンスの場合の抵抗値を示す第3のパラメータ、前記信号ピンがハイレベル、ローレベル、ハイインピーダンスのいずれの状態にあるかを示す第4のパラメータ、電流印加電圧測定時又は電圧印加電流測定時に前記信号ピンに印加される電流値又は電圧値を示す第5のパラメータを設定するパラメータ設定手段と、前記被検査用半導体デバイスに対する試験信号を入力する入力手段と、前記第1から第5までのパラメータ及び前記試験信号に基づいて前記信号ピンにおける電流印加電圧測定時の電圧値又は電圧印加電流測定時の電流値をシミュレートして出力するシミュレート手段とを含んで構成されるものである。

【0012】請求項2に記載された発明は、被検査用半導体デバイスの信号ピンに対して電流印加電圧測定又は電圧印加電流測定を行う場合のパラメータや試験信号の条件を具体的に示したものである。信号ピンがハイレベルの状態で所定の電圧又は電流を印加して電圧印加電流測定又は電流印加電圧測定を行う場合には、第4のパラメータがハイレベルの状態を示すので、第1のパラメータの電圧値及び抵抗値と第5のパラメータの印加電圧又は電流に基づいた信号ピンの電流値又は電圧値がシミュレート手段から出力されるようになる。信号ピンがローレベルの状態で所定の電圧又は電流を印加して電圧印加電流測定又は電流印加電圧測定を行う場合には、第4のパラメータがローレベルの状態を示すので、第2のパラメータの電圧値及び抵抗値と第5のパラメータの印加電圧値又は電流値に基づいた信号ピンの電流値又は電圧値がシミュレート手段から出力されるようになる。信号ピンがハイインピーダンス状態で所定の電圧又は電流を印加して電圧印加電流測定又は電流印加電圧測定を行う場

合には、第4のパラメータがハイインピーダンスの状態を示すので、第3のパラメータの電圧値及び抵抗値と第5のパラメータの印加電圧値又は電流値に基づいた信号ピンの電流値又は電圧値がシミュレート手段から出力されるようになる。

【0013】上述の課題を解決するために、請求項3に記載された半導体デバイスシミュレート装置は、被検査用半導体デバイスの電源ピンの抵抗値を示す第1のパラメータ、前記電源ピンに印加される電流値又は電圧値を示す第2のパラメータを設定するパラメータ設定手段と、前記被検査用半導体デバイスに対する試験信号を入力する入力手段と、前記第1及び第2のパラメータ及び前記試験信号に基づいて前記被検査用半導体デバイスの電源ピンにおける電流印加電圧測定時の電圧値又は電圧印加電流測定時の電流値をシミュレートして出力するシミュレート手段とを含んで構成されるものである。

【0014】請求項3に記載された発明は、被検査用半導体デバイスの電源ピンに対して電流印加電圧測定又は電圧印加電流測定を行う場合のパラメータや試験信号の条件を具体的に示したものである。電源ピンに所定の電圧又は電流を印加して電圧印加電流測定又は電流印加電圧測定を行う場合には、第1のパラメータの抵抗値と第2のパラメータの印加電圧又は電流に基づいた電源ピンの電流値又は電圧値がシミュレート手段から出力されるようになる。

【0015】上述の課題を解決するために、請求項4に記載された半導体デバイスシミュレート装置は、被検査用半導体デバイスの信号ピンがハイレベルの場合の電圧値及び抵抗値を示す第1のパラメータ、前記信号ピンがローレベルの場合の電圧値及び抵抗値を示す第2のパラメータ、前記信号ピンがハイインピーダンスの場合の抵抗値を示す第3のパラメータ、前記信号ピンがハイレベル、ローレベル、ハイインピーダンスのいずれの状態にあるかを示す第4のパラメータを設定するパラメータ設定手段と、前記信号ピンに接続される負荷条件を示す試験信号を入力する入力手段と、前記第1から第4までのパラメータ及び前記試験信号に基づいて前記信号ピンにおける電圧値をシミュレートして出力するシミュレート手段とを含んで構成されるものである。

【0016】請求項4に記載された発明は、被検査用半導体デバイスの信号ピンに対して種々の負荷が接続された場合のパラメータや試験信号の条件を具体的に示したものである。被検査用半導体デバイスの信号ピンがハイレベルの状態で負荷条件が無負荷の場合には、第4のパラメータがハイレベルの状態を示すので、第1のパラメータの電圧値及び抵抗値と試験信号の無負荷条件に基づいた信号ピンの電圧値がシミュレート手段から出力されるようになる。信号ピンがローレベルの状態で負荷条件が無負荷の場合には、第4のパラメータがローレベルの状態を示すので、第2のパラメータの電圧値及び抵抗値

と試験信号の無負荷条件に基づいた信号ピンの電圧値がシミュレート手段から出力されるようになる。信号ピンがハイインピーダンスの状態で負荷条件が無負荷の場合には、第4のパラメータがハイインピーダンスの状態を示すので、第3のパラメータの抵抗値と試験信号の無負荷条件に基づいた信号ピンの電圧値がシミュレート手段から出力されるようになる。同様にして、負荷条件が理想電圧源と終端抵抗の場合や理想電流源によるプログラマブルロードの場合などにはそれにに基づいた電圧値がシミュレート手段から出力される。

【0017】上述の課題を解決するために、第5の発明の半導体試験用プログラムデバッグ装置は、被検査用半導体デバイスの内部抵抗に依存して変化する電流値又は電圧値を測定するための各種パラメータを設定するとともに、半導体試験用プログラムに基づいて被検査用半導体デバイスに印加される試験信号を疑似的に発生して半導体試験装置の動作をエミュレートするテスタエミュレート手段と、前記パラメータ及び試験信号が入力され、これらのパラメータ及び試験信号に応じて前記被検査用半導体デバイスの内部抵抗に依存した電流値又は電圧値をシミュレートして出力するデバイスシミュレータ手段と、前記デバイスシミュレータ手段からの出力に基づいて前記半導体試験用プログラムのデバッグを行うデバッグ手段とを含んで構成されるものである。

【0018】デバイスシミュレート手段は、上述の請求項1に記載の半導体デバイスシミュレート装置に対応するものである。すなわち、請求項5に記載の半導体試験用プログラムデバッグ装置は、請求項1に記載の半導体デバイスシミュレート装置を用いて構成されたものである。従って、デバイスシミュレート手段が被検査用半導体デバイスの内部抵抗による電圧の変化を考慮した的確な動作を模擬的に行うものなので、半導体検査用プログラムに記述されたハイレベルのしきい値やローレベルのしきい値が適切な値であるか否かなどの、従来不可能であった検査を行うことができるようになり、半導体試験用プログラムのデバッグ精度を高めることができるとなる。

【0019】

【発明の実施の形態】以下、本発明に係る半導体デバイスシミュレート装置を適用した半導体試験用プログラムデバッグ装置の一実施の形態について、図面を参照しながら説明する。図1は、半導体試験用プログラムデバッグ装置の全体構成を示す図である。デバッグ装置100は、半導体試験装置の動作をエミュレートし、かつ被検査用半導体デバイスの動作をシミュレートすることによって、半導体試験用プログラムが正常に動作するか否かを検証するためのものであり、ワークステーション等の汎用コンピュータによって実現される。

【0020】この実施の形態に係るデバッグ装置100は、実際の半導体試験装置及び被検査用半導体デバイス

の動作を模擬するものなので、その詳細な説明を行う前に、模擬される半導体試験装置の構成について説明する。

【0021】図2は、実際の半導体試験装置の全体構成を示す図である。図では、半導体試験装置200に実際の被検査用半導体デバイス250が接続された状態が示されている。半導体試験装置200は、被検査用半導体デバイス250に対して各種の直流試験(DCパラメトリック試験)や機能試験を行うものである。半導体試験

10 装置200は、テスタ制御部210、テスタバス230、テスタ本体240、被検査用半導体デバイス250を搭載するソケット部(図示せず)を含んで構成されている。

【0022】テスタ制御部210は、テスタ本体240の動作を制御するためのものであり、半導体試験用プログラム(デバイステストプログラム)212、アプリケーションプログラム214、言語解析実行部216、テスタライブラリ218、テスタバスドライバ220を含んで構成されている。

20 【0023】デバイステストプログラム212は、ユーザが半導体試験装置200を用いて、被検査用半導体デバイス250に対してどのような試験を行うのか、その手順や方法を記述したものである。一般的にこのデバイステストプログラムは、半導体試験装置200のユーザによって開発作成されるものである。従って、ユーザは実際の半導体試験装置200を用いることなく、この実施の形態に係るデバッグ装置100を用いて自分の作成したデバイステストプログラム212が正常に動作するか否かの検証を行い、完成度の高いデバイステストプログラムを作成することができる。言語解析実行部216は、デバイステストプログラム212の構文解析などを

30 行い、デバイステストプログラム212に従って半導体試験装置200を忠実に動作させる中心的な役割を果たすものである。アプリケーションプログラム214は、デバイステストプログラム212及び言語解析実行部216と連携して動作するものであり、機能試験及び直流試験に対応した実際の試験信号等を被検査用半導体デバイス250に印加し、その出力信号を取り込んで被検査用半導体デバイス250の良否を判定したり、特性を解析するものである。

40 【0024】テスタライブラリ218は、言語解析実行部216によって構文解析が行われた後のデバイステストプログラム212の命令をレジスタレベルの命令(後述するレジスタ242へのデータ書き込み命令及びレジスタ242からのデータ読み出し命令に関するデータ)に変換して、半導体試験装置200の動作に必要なデータの作成や設定を行うとともに、テスタ本体240に対して測定動作を指示する。テスタバスドライバ220は、テスタバス230を介して、テスタライブラリ218によって作成されたデータをテスタ本体240内のレ

ジスタ242に転送する。

【0025】テスタ本体240は、テスタバス230を介して取り込まれたテスタ制御部210からのデータに基づいて被検査用半導体デバイス250に対して各種の試験を行う。テスタ本体240は、レジスタ242とメモリ244と試験実行部246とを含んで構成される。レジスタ242は、テスタバス230を介して取り込まれたテスタライブラリ218からのデータを格納する。このレジスタ242に格納されたデータは、直接あるいはメモリ244を介して試験実行部246に出力される。また、レジスタ242及びメモリ244は、試験実行部246からの試験結果に関するデータを格納する試験結果格納領域(図示せず)を有する。

【0026】試験実行部246は、機能試験実行部247およびDCパラメトリック試験実行部248を備えている。試験実行部246は、レジスタ242やメモリ244に格納されたテスタライブラリ218からのデータに基づいて、被検査用半導体デバイス250に対して機能試験やDCパラメトリック試験を行い、その試験結果のデータをレジスタ242やメモリ244の試験結果格納領域に格納する。レジスタ242及びメモリ244に格納された試験結果データは、テスタドライバ220によってテスタバス230を介して直接テスタライブラリ218に取り込まれる。なお、メモリ244に格納された試験結果データは、レジスタ242を介してテスタライブラリ218に取り込まれる。

【0027】図1のデバッグ装置100は上述の半導体試験装置200の全体動作をエミュレートすると共に被検査用半導体デバイス250の動作をシミュレートするものである。従って、半導体試験装置200用に作成されたデバイステストプログラム112を図1のデバッグ装置100を用いて実行すると、そのデバイステストプログラム112の動作がユーザの意図したものと一致するか否かを調べることができる。次に、この実施の形態に係るデバッグ装置100の構成について説明する。

【0028】図1に示すエミュレータ制御部110は、デバイステストプログラム112、アプリケーションプログラム114、言語解析実行部116、テスタライブラリ118、テスタバスエミュレータ120を含んで構成されている。このエミュレータ制御部110は、テスタエミュレート部140の動作を制御するためのものであり、図2に示した半導体試験装置200に含まれるテスタ制御部210と基本的に同じ動作を行う。

【0029】デバイステストプログラム112は、半導体試験装置200を用いて被検査用半導体デバイス250に対してどのような試験を行うのか、その手順や方法を記述したものであり、デバッグ装置100によってデバッグの対象となるプログラムである。従って、図2のデバイステストプログラム212がそのままこのデバイステストプログラム112として移植され、同様の動作

を行うように構成される。アプリケーションプログラム114、言語解析実行部116及びテスタライブラリ118についても同様に、図2のアプリケーションプログラム214、言語解析実行部216及びテストライブラリ218がそのまま移植され、同様の動作を行うように構成される。テスタバスエミュレータ120は、エミュレータ制御部110とテスタエミュレート部140との間を仮想的に接続する仮想テスタバス130を駆動し、この仮想テスタバス130を介してテスタライブラリ118とテスタエミュレート部140との間のデータの送受を制御する。

【0030】テスタエミュレート部140は、図2のテスタ本体240の動作をソフトウェアで実現したものであり、エミュレータ制御部110内のテスタライブラリ118の動作指示に応じて仮想デバイス150に対する模擬的な試験を行う。テスタエミュレート部140は、仮想レジスタ142と仮想メモリ144と仮想試験実行部146を含んで構成されている。仮想レジスタ142は、テスタライブラリ118からのデータを格納する。20 この仮想レジスタ142に格納されたデータは、直接あるいは仮想メモリ144を介して仮想試験実行部146に送られる。また、仮想レジスタ142と仮想メモリ144は、仮想試験実行部146から出力される仮想試験結果データを格納する試験結果格納領域(図示せず)を有する。

【0031】仮想試験実行部146は、機能試験実行部147及びDCパラメトリック試験実行部148を備えている。この仮想試験実行部146は、仮想レジスタ142に格納されたテスタライブラリ118からのデータに基づいて、仮想デバイス150に対して所定の信号を出力して、機能試験実行部147による機能試験やDCパラメトリック試験実行部148によるDCパラメトリック試験を行い、その仮想試験結果データを仮想レジスタ142やメモリ144の試験結果格納領域に格納する。仮想レジスタ142及び仮想メモリ144に格納された仮想試験結果データは、仮想テスタバス130を介してテスタライブラリ118に出力される。試験結果解析判定部160は、仮想レジスタ142やメモリ144又はテスタライブラリ118に格納されている仮想試験結果データと、予め予想される試験結果の期待値とを比較検討し、デバイステストプログラム112が正常に動作しているか否かの検証を行い、その結果をユーザに表示する。例えば、デバイステストプログラム112の実行によって誤った試験結果が得られた場合は、その誤った試験結果の原因となるプログラムの行番号等をモニタ(図示せず)上に表示したり、プリンタ(図示せず)から印字したりする。

【0032】上述した仮想試験実行部146が入力手段に、仮想デバイス150がシミュレート手段、デバイスシミュレート手段に、パラメータ設定部159がパラメ

11

ータ設定手段にそれぞれ対応する。また、エミュレータ制御部110、テスタエミュレート部140及びパラメータ設定部159がテスタエミュレート手段に、試験結果解析判定部160がデバッグ手段にそれぞれ対応する。

【0033】次に、テスタエミュレート部140の動作について説明する。テスタエミュレート部140は、仮想テタスバス130から仮想レジスタ142へのアクセスが入ると、仮想レジスタ142のアドレスをもとにそのアクセスが仮想レジスタ142のどの部分へのアクセスかを計算し、その場所にデータを書き込んだり、その場所からデータを読み出したりする。また、テスタエミュレート部140は、仮想レジスタ142のアクセスを介して仮想メモリ144へのアクセスが生じると、固有の仮想メモリ144に対してデータを書き込んだり、データを読み出したりする。この場合、一般的に一つの仮想レジスタ142だけでは仮想メモリ144に対してデータを読み書きするのに十分な情報を得ることはできない。そこで、この実施の形態では、テスタエミュレート部140は隣接する仮想レジスタ142の内容を参照して、仮想メモリ144に対するデータの読み書きをも行うようにしている。なお、図2の半導体試験装置200と同様に処理を行う場合は、メモリ144に格納された仮想試験結果データは、レジスタ142及び仮想テタスバス130を介してテスタライブラリ118に出力されることになるが、デバッグ装置100の場合には、メモリ144に格納された仮想試験結果を直接テスタライブラリに出力するように構成してもよい。

【0034】テスタエミュレート部140に対して、波形の発生（機能試験）を開始するレジスタがアクセスされた場合、第1のタスクにおいて仮想試験実行部146による波形の発生処理を行う。このとき、波形発生に関する必要なデータは仮想レジスタ142及び仮想メモリ144に予め格納されているので、仮想試験実行部146はそれを参照しながら波形を発生する。仮想試験実行部146によって発生された波形は仮想デバイス150に転送される。仮想デバイス150は入力された波形に基づいて実際の被検査用半導体デバイス250の動作をシミュレートする。仮想デバイス150によってシミュレートされた結果の出力ピンデータは再び仮想試験実行部148にフィードバックされ、そこで期待値と比較され、その結果が所定の仮想レジスタ142及び仮想メモリ144に格納される。上述の一連の動作はテスタエミュレート部140の動作サイクル毎に実行処理される。

【0035】パラメータ設定部159は、被検査用半導体デバイスに印加される理想電圧源の電圧値、理想電流源の電流値やハイレベル時又はローレベル時における純抵抗値、電圧値、電源ピンの純抵抗値などの各種パラメータを仮想デバイス150に設定するものである。このパラメータ設定部159の設定内容に応じて被検査用半

12

導体デバイスの特性が決定される。

【0036】仮想デバイス150は、図2に示した実際の被検査用半導体デバイス250と同様の動作をシミュレートするものである。仮想デバイス150は具体的には、電流印加電圧測定及び電圧印加電流測定のためのパラメータ（被検査用半導体デバイスに印加される理想電圧源の電圧値、理想電流源の電流値やハイレベル時又はローレベル時における純抵抗値、電源ピンの純抵抗値など）をパラメータ設定部159によって設定されると、
10 そのパラメータに基づいて実際の被検査用半導体デバイス250が出力するであろう電流値、電圧値をシミュレートして出力するものである。なお、テスタエミュレート部140はテスタを構成するロジック部品を一つ一つシミュレートすることは行わずに、テスタの性質に着目して、タイミングデータや波形フォーマットをメインに波形データをイベント形式に1サイクル分作り出して仮想デバイス150に供給している。仮想デバイス150はそれを構成するロジック部品をイベント・ドリブン方式により一つ一つシミュレートし、1テスタサイクルが20 完了するまで実行する。そして、1テスタサイクルが終了した時点でその内部状態を保持したまま、シミュレートを打ち切って、そのサイクル中の出力変化をイベント形式でテスタエミュレート部140に転送する。テスタエミュレート部140は仮想デバイス150からの1サイクル分の出力変化を再び解析し、期待値と比較し、パス／フェイルの判定結果を仮想レジスタ142や仮想メモリ144に格納する。このような動作を行うことによって、テスタエミュレート部140の波形発生の効率が良くなる。また、サイクル毎にデータを処理しているのでデータの転送効率が良くなる。また、場合によっては、複数サイクルをまとめて処理してもよい。

【0037】以下、この仮想デバイス150の詳細について説明する。図3は、仮想試験実行部146がDCパラメトリック試験の中の信号ピン測定を行う場合に実現されるべき仮想デバイス150の内容を等価回路によって示した図である。この場合の仮想デバイス150は、論理値保持部(DLV)151、ハイレベル時の理想電圧源152、ローレベル時の理想電圧源154、ハイレベル時の純抵抗153、ローレベル時の純抵抗155、
30 ハイインピーダンス時の入力純抵抗156、切替部157を含んで構成されている。なお、理想電圧源152と純抵抗153、理想電圧源154と純抵抗155はそれぞれ直列に接続されている。

【0038】論理値保持部151は、被検査用半導体デバイス250の評価対象ピン（測定対象となる信号ピン）のレベル状態に対応した論理値を保持するものである。この論理値保持部151にはハイレベル(H)、ローレベル(L)、ハイインピーダンス(Z)、不定(X)のいずれかのレベル状態に対応した論理値が保持50 される。理想電圧源152は、被検査用半導体デバイス

250の評価対象ピンの出力する信号の論理値がハイレベルの場合に、その評価対象ピンが示すであろうと思われる電圧値D_VoHを格納する。純抵抗153は、被検査用半導体デバイス250の評価対象ピンの出力する信号の論理値がハイレベルのときに、その評価対象ピンに対応する抵抗の値D_RoHを格納する。理想電圧源154は、被検査用半導体デバイス250の評価対象ピンの出力する信号の論理値がローレベルのときに、その評価対象ピンが示すであろうと思われる電圧値D_VoLを格納する。純抵抗155は、被検査用半導体デバイス250の評価対象ピンの出力する信号の論理値がローレベルのときに、その評価対象ピンに対応する抵抗の抵抗値D_RoLを格納する。入力純抵抗156は、被検査用半導体デバイス250の評価対象ピンがハイインピーダンスのときに、その評価対象ピンに対応する抵抗の値D_Ri_nを格納する。

【0039】切替部157は、論理値保持部151が保持する論理値に応じて、理想電圧源152と純抵抗153の直列接続されたもの、理想電圧源154と純抵抗155の直列接続されたもの、又は入力純抵抗156のいずれかを選択的にDCパラメトリック試験実行部148に接続する。具体的には、論理値保持部151の保持する論理値がハイレベルの場合には、切替部157は、理想電圧源152と純抵抗153の直列接続されたものをDCパラメトリック試験実行部148に接続する。論理値保持部151の保持する論理値がローレベルの場合には、切替部157は、理想電圧源154と純抵抗155の直列接続されたものをDCパラメトリック試験実行部148に接続する。論理値保持部151の保持する論理値がハイインピーダンスの場合には、切替部157は、入力純抵抗156をDCパラメトリック試験実行部148に接続する。なお、論理保持部151の保持する論理値が不定の場合には切替部157は上述のいずれか一つを選択するか、または何も選択しないでメッセージを出力する。

【0040】図4は、図3の仮想デバイス150に対してDCパラメトリック試験の信号ピン測定を行った場合に仮想デバイス150から出力される測定値の具体例を示す図である。図4は電流印加電圧測定の場合と電圧印加電流測定の場合の二通りについて示してある。電流印加電圧測定の場合には、DCパラメトリック試験実行部148が仮想デバイス150に対して電流値I_s（被検査用半導体デバイス250の評価対象ピンに流れる電流の値を模擬したもの）を供給する。従って、論理値保持部151の論理値がハイレベル（H）の場合には、理想電圧源152と純抵抗153がDCパラメトリック試験実行部148に接続されるので、DCパラメトリック試験実行部148の測定値（電圧値）は、理想電圧源152の電圧値D_VoHと純抵抗153の端子電圧値（抵抗値D_RoHと電流値I_sの積：D_RoH×I_s）との合

計値となる。論理値がローレベル（L）の場合には、理想電圧源154と純抵抗155がDCパラメトリック試験実行部148に接続されるので、DCパラメトリック試験実行部148の測定値（電圧値）は、理想電圧源154の電圧値D_VoLと純抵抗155の端子電圧値（抵抗値D_RoLと電流値I_sの積：D_RoL×I_s）との合計値となる。論理値がハイインピーダンス（Z）の場合には、入力純抵抗156がDCパラメトリック試験実行部148に接続されるので、DCパラメトリック試験実行部148の測定値（電圧値）は、入力純抵抗156の端子電圧値（抵抗値D_Ri_nと電流値I_sの積：D_Ri_n×I_s）となる。

【0041】電圧印加電流測定の場合には、DCパラメトリック試験実行部148が仮想デバイス150に対して出力する電圧値V_s（被検査用半導体デバイス250の評価対象ピンに印加される電圧の値を模擬したもの）を印加する。従って、論理値保持部151の論理値がハイレベル（H）の場合には、理想電圧源152と純抵抗153がDCパラメトリック試験実行部148に接続されるので、DCパラメトリック試験実行部148の測定値（電流値）は、理想電圧源152の電圧値D_VoHから印加電圧値V_sを減算した値を純抵抗153の抵抗値D_RoHで除算した値（D_VoH-V_s）/D_RoHとなる。論理値がローレベル（L）の場合には、理想電圧源154と純抵抗155がDCパラメトリック試験実行部148に接続されるので、DCパラメトリック試験実行部148の測定値（電流値）は、理想電圧源154の電圧値D_VoLから印加電圧値V_sを減算した値を純抵抗155の抵抗値D_RoLで除算した値（D_VoL-V_s）/D_RoLとなる。論理値がハイインピーダンス（Z）の場合には、入力純抵抗156がDCパラメトリック試験実行部148に接続されるため、DCパラメトリック試験実行部148の測定値（電流値）は、印加電圧値V_sを入力純抵抗156の抵抗値D_Ri_nで除算した値V_s/D_Ri_nとなる。

【0042】以上のように、この実施の形態の仮想デバイス150によれば、理想電圧源152、154、純抵抗153、155、入力純抵抗156の各値を設定変更することによって、印加電流I_sや印加電圧V_sの値に応じた測定値を出力することができ、実際の被検査用半導体デバイス250に近いDCパラメトリック試験を行うことが可能となる。また、後述の図8に示した負荷条件設定部171を考慮するようにしてもよい。

【0043】図5は、仮想試験実行部146がDCパラメトリック試験の中の電源ピン測定を行う場合に実現されるべき仮想デバイス150の内容を等価回路によって示した図である。この場合の仮想デバイス150は、純抵抗158によって構成される。純抵抗158は、被検査用半導体デバイス250の評価対象ピン（電源ピン）に対応する抵抗の抵抗値V_srを格納する。従って、電

源ピン測定が行われる場合には、抵抗値 V_{sr} の純抵抗 158 が DC パラメトリック試験実行部 148 に接続されることになる。DC パラメトリック試験実行部 148 は、この純抵抗 158 の接続された状態において電圧印加電流測定や電流印加電圧測定を行う。

【0044】図6は、図5の仮想デバイス 150 に対して DC パラメトリック試験の電源ピン測定を行った場合に仮想デバイス 150 から出力される測定値の具体例を示す図である。DC パラメトリック試験実行部 148 が仮想デバイス 150 に対して出力する信号の電圧値が V_s （被検査用半導体デバイス 250 の評価対象ピンに印加される電圧の値を疑似したもの）の場合において、電圧印加電流測定時の測定値（電流値）は印加電圧値 V_s を純抵抗 158 の抵抗値 V_{sr} で除算した値 V_s / V_{sr} となり、電流印加電圧測定時の測定値（電圧値）は印加電圧値 V_s の値そのままとなる。次に、図1のデバッグ装置 100 の動作を図面を用いて説明する。図7は、DC パラメトリック試験用のデバイステストプログラム 112 を実行した場合のデバッグ装置 100 の動作手順を示す流れ図である。このフローは、ユーザがデバイステストプログラム 112 のデバッグ動作を指示することによって処理を開始する。まず、ステップ 100 でデバッグ動作の対象となるデバイステストプログラム 112 が実行される。次にステップ 101 でエミュレータ制御部 110 内の言語解析実行部 112 がデバイステストプログラム 112 の構文解析を行う。言語解析実行部 116 によって構文解析が行われた後、ステップ 102 でテスタライブラリ 118 がデバイステストプログラム 112 の命令をレジスタレベルの命令に変換し、それに基づいてデバッグ装置 100 の動作に必要なデータを作成し、これらのデータをテスタエミュレート部 140 内の仮想レジスタ 142 に格納する。仮想レジスタ 142 へのデータの格納が終了すると、ステップ 103 でエミュレータ制御部 110 はテスタエミュレート部 140 に対して測定動作を指示する。

【0045】エミュレータ制御部 110 から測定動作の指示を受けたテスタエミュレート部 140 は、エミュレータ制御部 110 内のテスタライブラリ 118 の動作指示に応じて仮想デバイス 150 に対する模擬的な DC パラメトリック試験を行う。具体的には、ステップ 104 でエミュレータ制御部 110 内のテスタライブラリ 118 の動作指示に応じて、仮想試験実行部 146 内の DC パラメトリック試験実行部 148 が、仮想レジスタ 142 に格納されたデータに基づいた所定の信号を仮想デバイス 150 に出力する。ステップ 105 で、仮想デバイス 150 は電流印加電圧測定あるいは電圧印加電流測定を行い、その測定値を出力する。このとき、仮想デバイス 150 は、上述のように被検査用半導体デバイスの評価対象ピンに対応する抵抗値を考慮しているので、その測定値はこの抵抗値を考慮した値となる。仮想デバイス

150 から測定値が出力されると、ステップ 106 で DC パラメトリック試験実行部 148 は、この測定値を仮想試験結果データとして、仮想レジスタ 142 や仮想メモリ 148 に格納する。仮想レジスタ 142 や仮想メモリ 148 に格納された仮想試験結果データは、ステップ 107 でエミュレータ制御部 110 内のテスタライブラリ 118 に出力され、テスタライブラリ 118 は、この仮想試験結果データに対応する所定の処理を行う。

【0046】なお、デバイステストプログラム 112 には種々の測定結果に対応してどのような動作を行うかが記述されているので、仮想試験結果データに対応してテスタライブラリ 118 の行う処理が、プログラム作成者の意図したものであれば、デバイステストプログラム 112 の該当箇所に誤りのないことが検証される。反対に、仮想試験結果データに対応してテスタライブラリ 118 の行う処理が、プログラム作成者の意図したものでなければ、デバイステストプログラム 112 の該当箇所に誤りがあることが検証される。このようにしてデバイステストプログラム 112 のデバッグ動作が行われる。

【0047】このように、仮想デバイス 150 は、図3 や図5に示したように実際の被検査用半導体デバイス 250 内部の抵抗を考慮しているので、図4 や図6の測定値に示すように、DC パラメトリック試験実行部 148 の測定値が被検査用半導体デバイス 250 の評価対象ピンに対応する抵抗を含んだ値になるようにシミュレートすることができる。従って、デバッグ装置 100 は、仮想デバイス 150 を備えることにより、被検査用半導体デバイス 250 を用いなくても半導体試験装置 200 の DC パラメトリック試験時における動作を的確にエミュレートすることができるため、デバイステストプログラム 112 のデバッグの精度を高めることが可能となる。例えば、信号の論理値を判定する場合には、被検査用半導体デバイス 250 内部の抵抗による電圧の変化を考慮してハイレベルのしきい値とローレベルのしきい値を適切な値に定めなければならないが、本実施形態のデバッグ装置 100 は、被検査用半導体デバイス 250 内部の抵抗による電圧の変化が考慮されているため、デバイステストプログラムに設定されているしきい値が適切な値であるか否かを判定することができる。

【0048】上述の実施の形態では、仮想デバイス 150 が半導体試験装置 200 の DC パラメトリック試験時における動作をシミュレートした場合について説明したが、同様にして機能試験時における動作をシミュレートすることも可能である。図8は、仮想試験実行部 146 の機能試験実行部 147 が機能試験を行う場合に実現されるべき機能試験実行部 147 及び仮想デバイス 150 の内容を等価回路によって示した図である。なお、この場合の仮想デバイス 150 は、図3に示したような、DC パラメトリック試験の中の信号ピン測定を行う場合に実現されるべき仮想デバイス 150 の内容と同じなの

で、その説明は省略する。

【0049】仮想デバイス150に接続される仮想試験実行部146の機能試験実行部147は、仮想デバイス150が outputする信号の論理値を判定するものであり、負荷条件設定部171と比較部172から構成される。負荷条件設定部171は、テスタ本体の理想電圧源181、テスタ本体のローレベル時の理想電流源182、テスタ本体のハイレベル時の理想電流源183、終端抵抗184（例えば抵抗値50Ω）、ブリッジ回路185を含んで構成されている。負荷条件設定部171は通常プログラマブルロードと呼ばれるもので、被検査用半導体デバイス250の出力電圧とスレッショルド電圧（理想電圧源181の電圧値）Vtを比較して、負荷電流源となる理想電流源182又は理想電流源183を自動的に選択して接続するものである。理想電圧源181は、半導体試験装置200内のテスタドライバ（図示せず）の理想電圧源の電圧値Vtを格納する。理想電流源182は、テスタドライバの論理値がローレベルのときのテスタドライバの理想電流源の電流値ILHを格納する。理想電流源183は、テスタドライバの論理値がハイレベルの時のテスタドライバの理想電流源の電流値ILHを格納する。ブリッジ回路185は、4つのダイオード186～189を含んで構成されている。比較部172は、ハイレベル比較部191、ローレベル比較部192を含んで構成されている。ハイレベル比較部191は、仮想デバイス150の出力する信号がハイレベルであるか否かを判定するためのものであり、仮想デバイス150が outputする信号の電圧値が基準電圧値V0H以上であるか否かを比較する。ローレベル比較部192は、仮想デバイス150の出力する信号がローレベルであるか否かを判定するためのものであり、仮想デバイス150の出力する信号の電圧値が基準電圧値V0L以下であるか否かを比較する。

【0050】図9～図11は、仮想デバイス150の出力する信号の論理出力値と比較部172における電圧値を示す図である。図9は、負荷条件設定部171が接続されていない場合に比較部172で観測される仮想デバイス150の論理出力値を示す図である。仮想デバイス150の論理出力値がハイレベル（H）の場合には、理想電圧源152と純抵抗153が比較部172に接続されるので、比較部172には理想電圧源152の電圧値DV0Hが観測される。比較部172はこの電圧値DV0Hに基づいてハイレベルであるかローレベルであるかの比較判定を行う。仮想デバイス150の論理出力値がローレベル（L）の場合には、理想電圧源154と純抵抗155が比較部172に接続されるので、比較部172には理想電圧源154の電圧値DV0Lが観測される。比較部172はこの電圧値DV0Lに基づいてハイレベルであるかローレベルであるかの比較判定を行う。仮想デバイス150の論理値がハイインピーダンス（Z）の場

合には、入力純抵抗156が比較部172に接続されるだけなので、比較部172における電圧値はほぼ0の状態となる。この場合には比較部172はローレベルと判定することになる。

【0051】図10は、負荷条件設定部171の理想電圧源181（テスタドライバの理想電圧源）と終端抵抗184が仮想デバイス150に接続された場合に、比較部172で観測される仮想デバイス150の論理出力値を示す図である。この場合、理想電流源182、理想電流源183及びブリッジ回路185は存在しないものとする。仮想デバイス150の論理値がハイレベル（H）の場合には、理想電圧源152と純抵抗153が理想電圧源181と終端抵抗184に接続されるので、比較部172における電圧値は $((DV0H - Vt) \times 50) / (50 + DR0H) + Vt$ となる。この電圧値は終端抵抗184の端子電圧値 $((DV0H - Vt) \times 50) / (50 + DR0H)$ と理想電圧源181の電圧値Vtとの合計値である。仮想デバイス150の論理値がローレベル（L）の場合には、理想電圧源154と純抵抗155が理想電圧源181と終端抵抗184に接続されるので、比較部172における電圧値は $((DV0L - Vt) \times 50) / (50 + DR0L) + Vt$ となる。この電圧値は終端抵抗184の端子電圧値 $((DV0L - Vt) \times 50) / (50 + DR0L)$ と理想電圧源181の電圧値Vtとの合計値である。仮想デバイス150の論理値がハイインピーダンスの場合には、入力純抵抗156が理想電圧源181と終端抵抗184に接続されるので、比較部172における電圧値は同じく終端抵抗184の端子電圧となるのであるが、この場合入力純抵抗156の抵抗値DRinは終端抵抗184に比べて非常に大きいため、電流は流れずに比較部172における電圧値はそのまま理想電圧源181の電圧値Vtとなる。

【0052】図11は、プログラマブルロードとして動作する負荷条件設定部171が接続されている場合に、比較部172で観測される仮想デバイス150の論理出力値を示す図である。仮想デバイス150の論理値がハイレベル（H）で、理想電圧源181の電圧値Vtが理想電圧源152の電圧値DV0Hよりも小さい場合（ $Vt < DV0H$ ）には、理想電圧源152と純抵抗153が理想電流源183に接続されるので、比較部172における電圧値は $DV0H + DR0H \times ILH$ となる。仮想デバイス150の論理値がハイレベル（H）であって、理想電圧源181の電圧値Vtが理想電圧源152の電圧値DV0Hよりも大きい場合（ $Vt > DV0H$ ）には、理想電圧源152と純抵抗153が理想電流源182に接続されるので、比較部172における電圧値は $DV0H + DR0H \times ILL$ となる。

【0053】また、仮想デバイス150の論理値がローレベル（L）であって、理想電圧源181の電圧値Vtが理想電圧源154の電圧値DV0Lよりも大きい場合

($V_t > DV_o L$) には、理想電圧源 154 と純抵抗 155 が理想電流源 183 に接続されて、比較部 172 における電圧値は $DV_o L + DR_o L \times ILH$ となる。仮想デバイス 150 の論理値がローレベル (L) であって、理想電圧源 181 の電圧値 V_t が理想電圧源 154 の電圧値 $DV_o L$ よりも小さい場合 ($V_t < DV_o L$) には、理想電圧源 154 と純抵抗 155 が理想電流源 182 に接続されるので、比較部 172 における電圧値は $DV_o L + DR_o L \times ILL$ となる。

【0054】 仮想デバイス 150 の論理値がハイインピーダンス (Z) の場合には、比較部 172 のにおける電圧値は、理想電圧源 181 の電圧値に依存した次のような値となる。理想電圧源 181 の電圧値 V_t が入力純抵抗 156 の両端電圧以下の正の値である場合、すなわち $DR_{in} \times ILL >= V_t > 0$ の場合には、比較部 172 における電圧値は理想電圧源 181 の電圧値 V_t となる。理想電圧源 181 の電圧値 V_t が入力純抵抗 156 の両端電圧よりも大きい正の値である場合、すなわち $DR_{in} \times ILL < V_t > = 0$ の場合には、比較部 172 における電圧値は入力純抵抗 156 の両端電圧値 $DR_{in} \times ILL$ となる。理想電圧源 181 の電圧値 V_t が入力純抵抗 156 の両端電圧以上の負の値である場合、すなわち $DR_{in} \times ILL <= V_t < 0$ の場合には、比較部 172 における電圧値は理想電圧源 181 の電圧値 V_t となる。理想電圧源 181 の電圧値 V_t が入力純抵抗 156 の両端電圧よりも小さい負の値である場合、すなわち $DR_{in} \times ILL > V_t < 0$ の場合には、比較部 172 における電圧値は入力純抵抗 156 の両端電圧値 $DR_{in} \times ILL$ となる。なお、図 9～図 11 の場合において、仮想デバイス 150 の論理値が不定の場合には、その論理値出力も不定である。

【0055】 図 9～図 11 に示すように、比較部 172 における電圧値は、被検査用半導体デバイス 250 の評価対象ピンに対応する抵抗値を含んだ値になっている。すなわち、図 8 に示す仮想デバイス 150 は、図 2 に示した被検査用半導体デバイス 250 内部の抵抗を考慮したものである。したがって、デバッグ装置 100 は、図 8 に示した仮想デバイス 150 を用いることにより、被検査用半導体デバイス 250 を用いることなく半導体試験装置 200 の機能試験時における動作を的確にシミュレートすることができるため、デバイステストプログラム 112 のデバッグの精度を高めることが可能となる。

【0056】 また、上述した実施の形態では、被検査用半導体デバイス 250 の試験を行うデバイステストプログラムをデバッグするデバッグ装置 100 について考えたが、被検査用半導体デバイスとしては、半導体メモリ、各種のプロセッサ、ロジック用の IC 等、様々なものが考えられる。

【0057】 なお、上述の実施の形態では、ハイレベル又はローレベルの理想電圧源と純抵抗がそれぞれ直列接

続されたものと入力純抵抗とを切り替えて、仮想デバイスを擬似的（等価的）にシミュレートした場合を示しているが、これに限らず、理想電圧源の電圧値や抵抗値が測定条件に応じて変化する複雑な動作をするようなデバイスをシミュレートしてもよい。また、演算によってその出力が得られる場合について説明したが、テーブル変換によって得られるようにしてもよい。

【0058】

【発明の効果】 上述したように第 1 の発明によれば、半導体デバイスの内部抵抗によって生じる電圧変化や電流変化を含んだ形で実際の被検査用半導体デバイスの動作を的確にシミュレートすることができるという効果がある。

【0059】 上述したように第 2 の発明によれば、実際の被検査用半導体デバイスに対して半導体試験用プログラムを動作させた場合と同様に、仮想的な半導体デバイスがその内部抵抗によって生じる電圧変化や電流変化を含んだ形で実際の被検査用半導体デバイスの動作をシミュレートするので、半導体試験用プログラムの内容を検証することができる。

【図面の簡単な説明】

【図 1】 本実施形態のデバッグ装置の全体構成を示す図である。

【図 2】 半導体試験装置の全体構成を示す図である。

【図 3】 DC パラメトリック試験において信号ピンの測定を行う場合の仮想デバイスを等価回路で表した図である。

【図 4】 DC パラメトリック試験において信号ピンの測定を行う場合の測定値を示す図である。

【図 5】 DC パラメトリック試験において電源ピンの測定を行う場合の仮想デバイスを等価回路で表した図である。

【図 6】 DC パラメトリック試験において電源ピンの測定を行う場合の測定値を示す図である。

【図 7】 DC パラメトリック試験用のデバイステストプログラムを実行した場合のデバッグ装置の動作手順を示す流れ図である。

【図 8】 仮想試験実行部の機能試験実行部が機能試験を行う場合に実現されるべき機能試験実行部及び仮想デバイスの内容を等価回路で表した図である。

【図 9】 負荷条件設定部が接続されていない（無負荷）場合に比較部で観測される仮想デバイスの論理出力値を示す図である。

【図 10】 負荷条件設定部の理想電圧源（テストドライバの理想電圧源）と終端抵抗が仮想デバイスに接続された場合に、比較部で観測される仮想デバイスの論理出力値を示す図である。

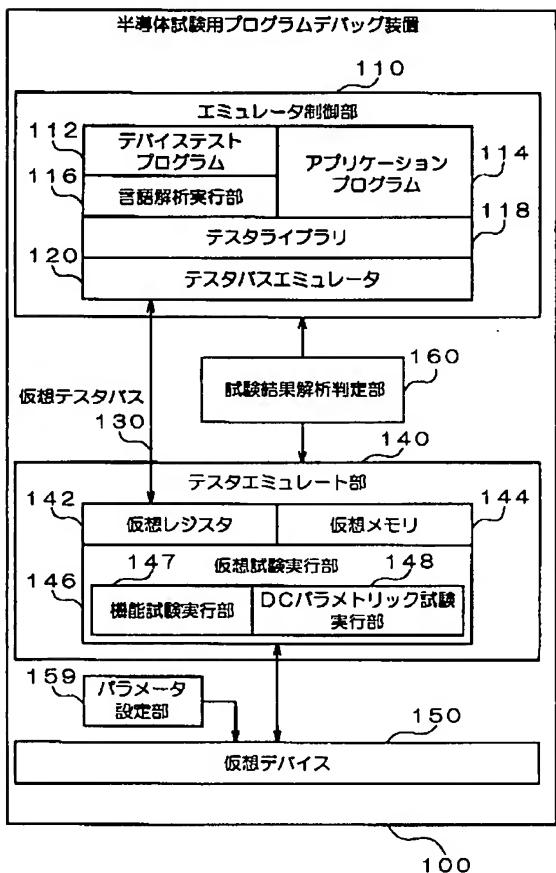
【図 11】 プログラマブルロードとして動作する負荷条件設定部が接続されている場合に、比較部で観測される仮想デバイスの論理出力値を示す図である。

【符号の説明】

100 デバッグ装置
 110 エミュレータ制御部
 112 デバイステストプログラム
 140 テスタエミュレート部
 146 仮想試験実行部
 147 機能試験実行部
 148 DCパラメトリック試験実行部

* 150 仮想デバイス
 151 論理値保持部 (DLV)
 152、154 理想電圧源
 153、155 純抵抗
 156 入力純抵抗
 157 切替部
 159 パラメータ設定部
 * 160 試験結果解析判定部

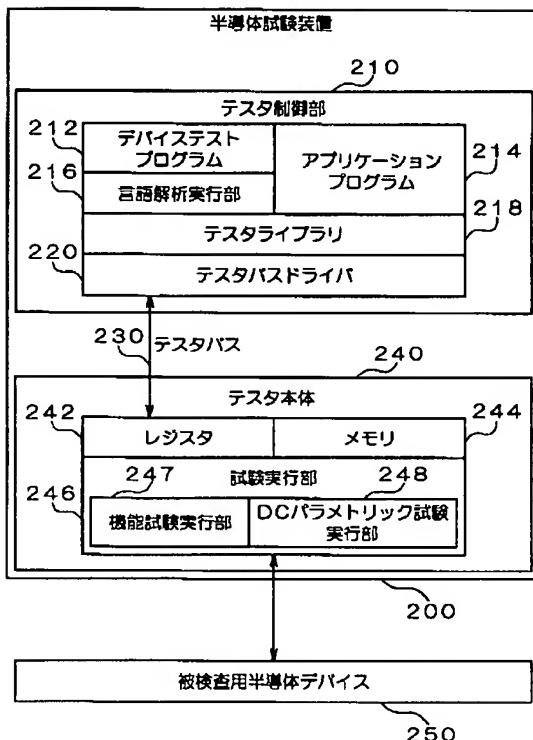
【図1】



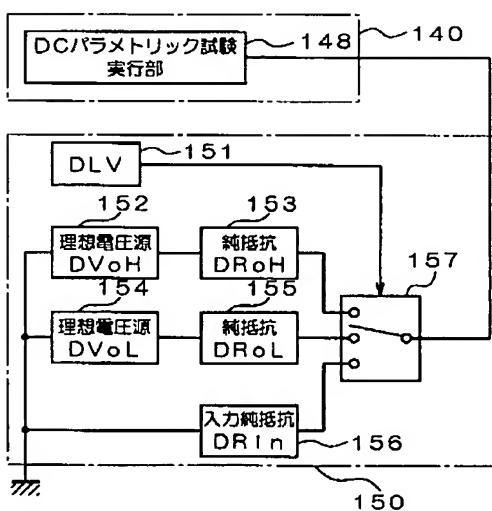
【図4】

	論理値	測定値
電圧印加測定	H	$DV_{oH} + (DR_{oH} \times I_s)$
	L	$DV_{oL} + (DR_{oL} \times I_s)$
	Z	$DR_{in} \times I_s$
電圧印加測定	H	$(DV_{oH} - V_s) / DR_{oH}$
	L	$(DV_{oL} - V_s) / DR_{oL}$
	Z	V_s / DR_{in}

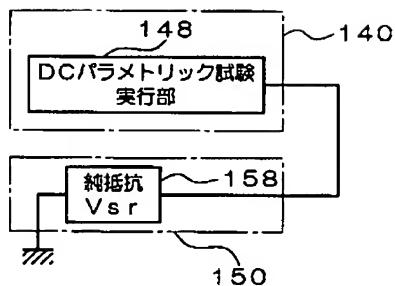
【図2】



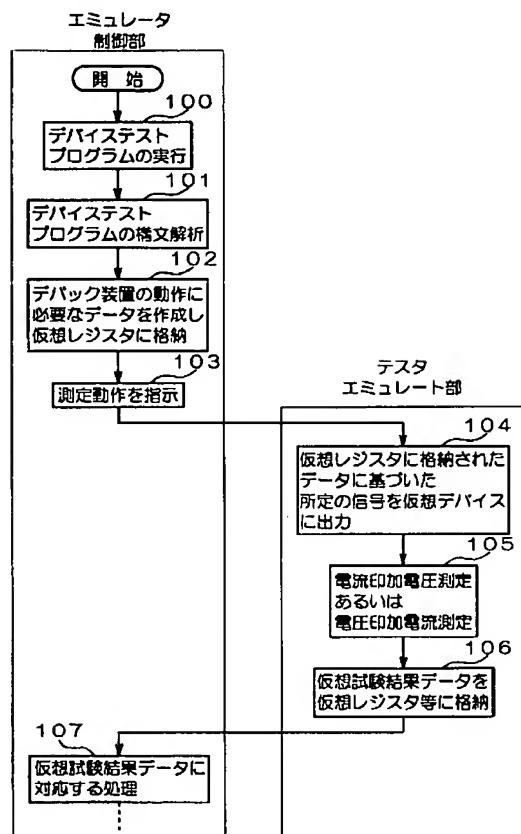
【図3】



【図5】



【図7】



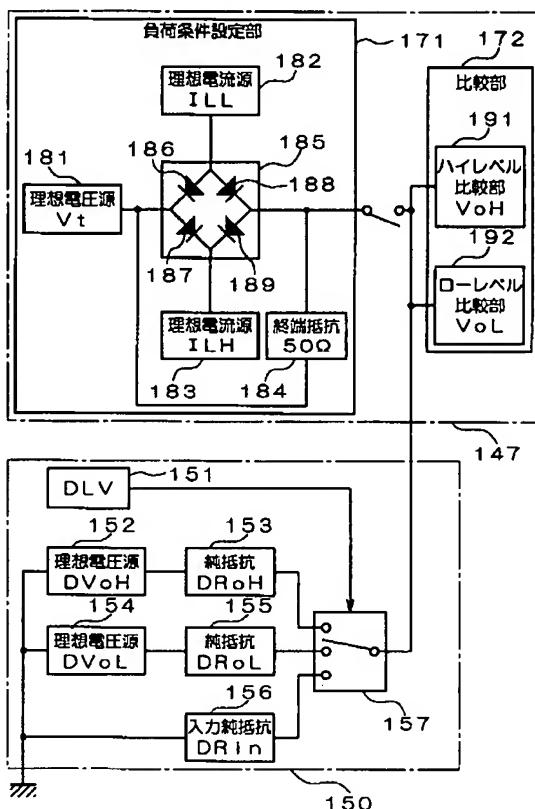
【図9】

仮想デバイス論理値	比較部における電圧値
ハイレベル	DVoH
ローレベル	DVoL
ハイインピーダンス	ほぼ0
不定	不定

【図6】

	測定値
電圧印加電流測定	Vs/Vs _r
電流印加電圧測定	Vs

【図8】



【図10】

仮想デバイス論理値	比較部における電圧値
ハイレベル	$\frac{(DVoH - Vt) \times 50}{50 + DRoH} + Vt$
ローレベル	$\frac{(DVoL - Vt) \times 50}{50 + DRoL} + Vt$
ハイインピーダンス	Vt
不定	不定

【図11】

仮想デバイス 論理値	比較部における電圧値
ハイレベル	$V_t < DV_{oH}$ のとき $DV_{oH} + DR_{oH} \times I_{LH}$ $V_t > DV_{oH}$ のとき $DV_{oH} + DR_{oH} \times I_{LL}$
ローレベル	$V_t < DV_{oL}$ のとき $DV_{oL} + DR_{oL} \times I_{LL}$ $V_t > DV_{oL}$ のとき $DV_{oL} + DR_{oL} \times I_{LH}$
ハイインピーダンス	$DR_{in} \times I_{LL} \geq V_t \geq 0$ のとき V_t $DR_{in} \times I_{LL} < V_t \leq 0$ のとき $DR_{in} \times I_{LL}$ $DR_{in} \times I_{LH} \leq V_t < 0$ のとき V_t $DR_{in} \times I_{LH} > V_t < 0$ のとき $DR_{in} \times I_{LH}$